

Japanese Patent Office
Patent Laying-Open Gazette

Patent Laying-Open No. 2001-94103
Date of Laying-Open: April 6, 2001
International Class(es): H 01 L 29/78
21/8234
27/088
21/8238
21/092

(17 pages in all)

Title of the Invention: Structure and Method for Manufacturing
High-Breakdown Voltage MOS Transistor

Patent Appln. No. 11-270778
Filing Date: September 24, 1999
Inventor(s): Haruko INOUE
Yuichi KITAMURA

Applicant(s): Matsushita Electronics Industry Corp.

(transliterated, therefore the
spelling might be incorrect)

Our Commentary on the Reference

Japanese Patent Laying-Open No. 2001-94103

In a P-type semiconductor substrate, a P-type well is formed. On the P-type well, a gate electrode is formed with a gate oxide film interposed. Between the gate electrode and a drain diffusion layer and between the gate electrode and a source diffusion layer, an LOCOS (Local Oxidation of Silicon) oxide film is formed. By the LOCOS oxide film, the gate electrode and the drain diffusion layer are electrically separated from each other on the surface, and the gate electrode and the source diffusion layer are electrically separated from each other on the surface.

Immediately below the LOCOS oxide films at opposing ends of the gate electrode, a drain side offset region and a source side offset region are formed, respectively. Below the drain diffusion layer, the drain side offset region is formed. Below the source diffusion layer, the source side offset region is formed.

The gate, drain and source are electrically separated from a channel stopper serving as a diffusion layer to take the potential of the P-type well diffusion layer, by an N-type isolating diffusion layer, a P-type isolating diffusion layer and the LOCOS oxide film. The channel stopper is formed to surround a high breakdown voltage MOS transistor.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-94103

(P2001-94103A)

(43) 公開日 平成13年4月6日(2001.4.6)

(51) Int. Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 S 5 F 0 4 0
21/8234		27/08	1 0 2 B 5 F 0 4 8
27/088			3 2 1 E
21/8238			
27/092			

審査請求 有 請求項の数11 O L (全 17 頁)

(21) 出願番号 特願平11-270778

(22) 出願日 平成11年9月24日(1999.9.24)

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 井上 治子

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 北村 裕一

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外1名)

最終頁に続く

(54) 【発明の名称】 高耐圧MOSトランジスタの構造及び製造方法

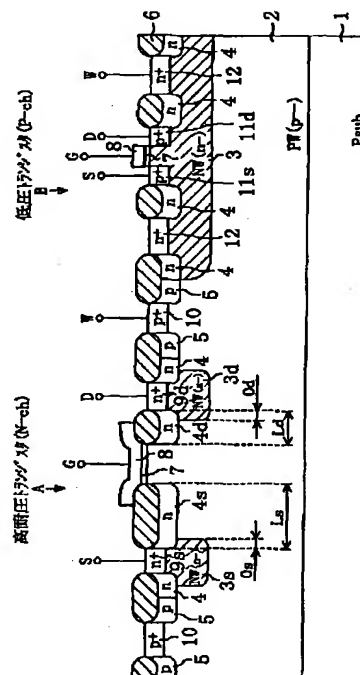
(57) 【要約】

【課題】 高耐圧MOSトランジスタ構造において、基板電位がソース電位よりも高くなり難くして、サステイン耐圧を高める。

【解決手段】 オフセット拡散層4d、4sの濃度及び深さはソース側とドレイン側では同じであるが、そのサイズは、ソース側のオフセット拡散層4sではドレイン側のオフセット拡散層4dに比べて大きく設定される。つまり、ドレイン側のオフセット拡散層4dの寸法Ldと、ソース側のオフセット拡散層4sの寸法Lsとは、 $L_d < L_s$ の関係に設定される。従って、ソース側のオフセット拡散層4sの抵抗値が大きくなって、ソース電圧VSが高くなる。その結果、基板電圧をVWとすると、

$VW - (\text{シリコンの順方向接合耐圧}) \leq VS$

の状態が維持し易くなり、サステイン耐圧が高くなる。



【特許請求の範囲】

【請求項1】 ソース側の抵抗値が、ドレイン側の抵抗値とは無関係に、高いサステイン耐圧を持つように設定されていることを特徴とする高耐圧MOSトランジスタの構造。

【請求項2】 ソース側のオフセット領域の抵抗値が、ドレイン側のオフセット領域の抵抗値とは無関係に、高いサステイン耐圧を持つように設定されていることを特徴とする請求項1記載の高耐圧MOSトランジスタの構造。

【請求項3】 ドレイン側のオフセット領域と、前記ドレイン側のオフセット領域とは非対称なソース側のオフセット領域とを備えて、高いサステイン耐圧を持つことを特徴とする高耐圧MOSトランジスタの構造。

【請求項4】 前記ソース側のオフセット領域のサイズが、前記ドレイン側のオフセット領域のサイズとは非対称に設定されて、高いサステイン耐圧を持つことを特徴とする請求項3記載の高耐圧MOSトランジスタの構造。

【請求項5】 前記ソース側のオフセット領域の濃度が、前記ドレイン側のオフセット領域の濃度とは非対称に設定されて、高いサステイン耐圧を持つことを特徴とする請求項3記載の高耐圧MOSトランジスタの構造。

【請求項6】 ドレイン側のオフセット拡散層と、前記ドレイン側のオフセット領域とは不純物濃度が異なるソース側のオフセット領域とを備えて、高いサステイン耐圧を持つことを特徴とする高耐圧MOSトランジスタの構造。

【請求項7】 ソース側の抵抗値が、基板電圧をVW、ソース電圧をVSとして、 $VW - (\text{シリコンの順方向接合耐圧}) > VS$ となり難いように、ドレイン側の抵抗値よりも高く設定されていることを特徴とする請求項1記載の高耐圧MOSトランジスタの構造。

【請求項8】 ソース側のオフセットのサイズをドレイン側のオフセットのサイズよりも大きくするようにレジストパターンを作製し、前記レジストパターンを用いて前記ソース側のオフセット及びドレイン側のオフセットを形成して、高いサステイン耐圧を持つ高耐圧MOSトランジスタを製造することを特徴とする高耐圧MOSトランジスタの製造方法。

【請求項9】 ドレイン側のオフセット領域を形成する工程と、前記ドレイン側のオフセット領域の不純物濃度とは無関係に設定された不純物濃度となるようにイオン注入して、ソース側のオフセット領域を形成する工程とを有する高いサステイン耐圧を持つ高耐圧MOSトランジスタ

を製造することを特徴とする高耐圧MOSトランジスタの製造方法。

【請求項10】 前記ソース側のオフセット領域の不純物濃度は、前記ドレイン側のオフセット領域の不純物濃度よりも低く設定されることを特徴とする請求項9記載の高耐圧MOSトランジスタの製造方法。

【請求項11】 低圧MOSトランジスタと同一チップ内に共存する高耐圧MOSトランジスタの製造方法であって、

10 前記低圧MOSトランジスタのウエル形成用フォトマスクに存在する高耐圧MOSトランジスタのソース側及びドレイン側の各ウエルオフセットの位置を、ソース側においてウエルオフセットとオフセットとの重なりを少なくするように設定し、

前記フォトマスクを用いて高耐圧MOSトランジスタのソース側及びドレイン側の各ウエルオフセットを形成して、

高いサステイン耐圧を持つ高耐圧MOSトランジスタを製造することを特徴とする高耐圧MOSトランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MOSトランジスタの技術分野の中でも、特に耐圧の高いMOSトランジスタの構造及びその製造方法に関する。

【0002】

【従来の技術】高耐圧MOSトランジスタの中でも、ゲート電極の端部又はゲート電極とドレイン拡散層及びソース拡散層との間に厚いフィールド酸化膜（以下、LOCOSと表示する）を持つLOCOSオフセット型と呼ばれる構造は、主に液晶ドライバ駆動用素子のようにゲート、ドレイン及びソースの全てが高耐圧であることが必要とされる高耐圧MOSトランジスタに使用されている。

【0003】ここで、LOCOSオフセット型構造中のオフセット及びウエルオフセットについて説明する。オフセットとは、ゲート電極端部のLOCOS直下に存在する不純物濃度の薄い拡散層のことであり、主にドレイン拡散層とゲート下部間の電界集中を緩和する目的で形成され、ドレイン拡散層及びソース拡散層と同じ極性であって、ドレイン拡散層及びソース拡散層よりも薄い不純物濃度に設定されている。同様にウエルオフセットとは、ドレイン拡散層及びソース拡散層直下に存在する不純物濃度が薄くて深さの深い拡散層のことであり、主にドレイン拡散層とドレイン下部にある逆極性のウエルや基板との電界集中を緩和する目的のために形成され、ドレイン拡散層、ソース拡散層、オフセットと同じ極性であって、オフセットよりも薄い不純物濃度に設定されている。つまり、同極性での不純物濃度の関係は、ドレイン拡散層及びソース拡散層>オフセット>ウエルオフセ

ットである。

【0004】以下、従来のLOCOSオフセット型の高耐圧MOSトランジスタ構造について、図11及び図12を用いて説明する。図11は従来の高耐圧MOSトランジスタの断面図、図12は従来の高耐圧MOSトランジスタの平面図である。図11及び図12に示すように、一般に高耐圧トランジスタは低圧トランジスタと同一チップ上に共存している。本明細書では高耐圧トランジスタ部aがN-ch、低圧トランジスタ部bがP-chの場合を例に挙げている。

【0005】まず、高耐圧トランジスタ部aの構造について説明する。P型基板1中に、高耐圧N-chトランジスタ用のウェル拡散層であるP型ウェル2があり、このP型ウェル2上部にゲート酸化膜7を介してゲート電極8がある。ゲート電極8の端部又はゲート電極8とドレイン拡散層9d及びソース拡散層9sとの間にLOCOS6があり、ゲート電極8とドレイン拡散層9d又はソース拡散層9sとを表面上で分離している。前述ゲート電極8端部のLOCOS6の直下に、ドレイン側オフセット4d及びソース側オフセット4sがある。ドレイン側拡散層9d及びソース側拡散層9dの下方にドレイン側ウェルオフセット3d及びソース側ウェルオフセット3sがある。一般に、ソース側は電界集中が発生するような仕様はされないで、オフセットやウェルオフセットは必ずしも必要でない。しかし、素子はドレイン側、ソース側の固定を避けるために、結果としてソース側はドレイン側と同サイズ、同濃度にて左右対称に形成されている。つまり、ドレイン側オフセット4dの寸法をLd、ソース側オフセット4sの寸法をLsとすると、 $Ld = Ls$ の関係になっている。また、オフセットとウェルオフセットの位置関係は、ドレイン側オフセット4dとドレイン側ウェルオフセット3dとの重なり寸法をOd、ソース側オフセット4sとソース側ウェルオフセット3sとの重なり寸法をOsとすると、 $Od = Os$ の関係になっている。以上で形成されたゲート、ドレイン及びソース部は、N型分離拡散層4、P型分離拡散層5、LOCOS6により、P型ウェル拡散層2の電位を取るための拡散層であるチャンネルストッパー10と分離されている。

【0006】次に、低圧トランジスタ部bの構造について説明する。前記P型ウェル2中に、低圧P-chトランジスタのウェル拡散層である、N型ウェル3がある。このN型ウェル3の上部にゲート酸化膜7を介してゲート電極8があり、その両側にドレイン拡散層11d及びソース拡散層11sがある。以上で形成されたゲート、ドレイン、ソース部は、N型分離拡散層4、P型分離拡散層5、LOCOS6によって、N型ウェル拡散層3の電位を取るための拡散層であるチャンネルストッパー12と分離されている。

【0007】従来のLOCOSオフセット型の高耐圧M

OSTランジスタの製造方法について、図13を参照しながら説明する。

【0008】図13(a)に示すように、P型基板1の表面にP型ウェル2をフォトリソ工程、イオン注入工程、熱処理工程により形成する。更に、図13(b)に示すように、前記P型ウェル2の表面に、N型ウェル3とドレイン側ウェルオフセット3dとソース側ウェルオフセット3sとを、フォトリソ工程、イオン注入工程、熱処理工程により形成する。更に、図13(c)に示すように、前記P型ウェル2の上方に、N型分離拡散層4と、ドレイン側オフセット4dと、ソース側オフセット4sと、P型分離拡散層5とをフォトリソ工程、イオン注入工程により形成した後、それ等を被うようにLOCOS6を形成する。更に、図13(d)に示すように、ゲート酸化膜7、ゲート電極8を形成した後、ドレイン拡散層9dとソース側拡散層9s、チャンネルストッパー10、ドレイン拡散層11dとソース側拡散層11s、チャンネルストッパー12をフォトリソ工程、イオン注入工程、熱処理工程により形成する。以上の製造方法により、同一チップ上に高耐圧MOSトランジスタと低圧MOSトランジスタが形成される。

【0009】従来のLOCOSオフセット型の高耐圧MOSトランジスタの動作について説明する。前述の高耐圧MOSトランジスタがオンするとき、つまりゲート電極8とドレイン拡散層9dに高電圧が印加されると、ドレイン拡散層9dだけでなく、同極性の濃度の薄い拡散層であるドレイン側ウェルオフセット3d、ドレイン側オフセット4dも空乏化される分、ドレイン拡散層9dへの電界集中を緩和し、高耐圧化を実現できる構造になっている。

【0010】

【発明が解決しようとする課題】しかしながら、従来の構成では、基板電位VWがソース電位VSよりも高くなり易い、つまり、 $VW - (シリコンの順方向接合耐圧) > VS$ の関係になり易いために、サステイン破壊と呼ばれるトランジスタ破壊に至る耐圧（以下、サステイン耐圧と表現する）が低いという技術的課題を有していた。

【0011】従来のLOCOSオフセット型の高耐圧MOSトランジスタのサステイン破壊のメカニズムについて、図面を参照しながら説明する。本明細書図ではN-chトランジスタの場合を例に挙げている。図14は従来の高耐圧MOSトランジスタの動作説明図、図14(a)は動作時の断面図、図14(b)はドレイン電圧と電流の関係を示すグラフである。

【0012】図14(a)に示すように、高耐圧MOSトランジスタにおいて、動作時に電圧印加される位置は電極部G、D2、S2、W2であるが、実際にトランジスタのゲート、ドレイン、ソース、ウェルとして動作している位置はゲート電極8直下の部位G、D1、S1、W1であるので、サステイン破壊メカニズムに関して

は、主にこの位置に着目して説明する。電極部D2、S2、W2と実際にトランジスタのドレイン、ソース、ウェルとして動作している位置D1、S1、W1とは、電界集中を緩和するために、各々、ドレイン側オフセット4dの抵抗RD、ソース側オフセット4sの抵抗RS、P型ウェル2の抵抗RWなどの抵抗成分を介した構造になっている。

【0013】前述の高耐圧MOSトランジスタがオンするとき、つまりゲート電極8とドレイン拡散層9dとに正電圧が印加されると、ドレイン拡散層9dだけでなく、同極性の濃度の薄い拡散層であるドレイン側ウェルオフセット3d、ドレイン側オフセット4dも空乏化される。更に、電圧印加が大きくなり、これ等の領域が十分に空乏化されると、キャリアの電子がソース側からドレイン側へ向かって移動し、ドレイン電流（以下、ID1と示す）が流れ始める。このドレイン電流ID1は、ソース側へ流れるソース電流（以下、IS1と表現する）と、ウェル及び基板方向へ流れる基板電流（以下、IW1と表現する）とに分かれる。つまり、 $ID1 = IS1 + IW1$ の関係になっている。一般に、基板電流は I_{sub} と表現されるが、本明細書ではIW1と表現する。ドレイン電圧VD1と電流ID1の関係は図14(b)に示される通りである。ドレイン電圧VD1が低いときはほぼ $ID1 = IS1$ であり、基板電流IW1はほとんど流れない。

【0014】しかし、ドレイン電圧VD1が高電圧になると、ドレイン近傍の電子がドレイン電圧VD1の電界強度により高速化し、高速化した電子がシリコンの格子と衝突して電子-ホールの対を発生させ、この発生したホールがウェル及び基板方向に流れる現象が起きる。この流れる基板電流IW1とP型ウェル2の抵抗RWとにより、基板電圧VW1の変動が生じる。つまり、基板電流IW1が流れたために、ウェル側に、 $RW \cdot IW1 = VW1$ 分の電位が発生し、ソース電位VS2の位置が0Vで固定されているために、基板電圧VW1が浮く状態になる。この基板電圧VW1の変動により、 $VW1 - (\text{シリコンの順方向接合耐圧}) > VS1$ の状態になり、基板とソース間のPN接合が順方向にバイアスされる。つまり、このとき、部位S1、W1、D1の各点が、ソース、ウェル、ドレインのMOSトランジスタとしてではなく、エミッタ、ベース、コレクタの寄生バイポーラトランジスタとして働き、これがオンするので、急激に電流が流れ始める。このように、ドレイン電圧VD1が大きくなるに従って基板電流IW1が急激に大きくなり、結果としてID1はVD1 = x (V)の時点でトランジスタ破壊に至る電流に達し、サステイン破壊が発生する。このVD1 = x (V)の電圧値が従来の高耐圧MOSトランジスタのサステイン耐圧である。

【0015】本発明は、前記課題を解決するものであり、その目的は、MOSトランジスタ特性を維持しながら

ら、サステイン耐圧を向上することができる高耐圧MOSトランジスタの構造とその製造方法を提供することにある。

【0016】

【課題を解決するための手段】前記の課題を解決するために、本発明の高耐圧MOSトランジスタの構造及び製造方法は、ソース側の抵抗値RS1を適正化することにより、 $VW1 - (\text{シリコンの順方向接合耐圧}) > VS1$ になり難い構成を有している。これにより、サステイン耐圧の高いMOSトランジスタ構造及び製造方法が得られる。

【0017】サステイン破壊を起こさないようにするためには、 $VW1 - (\text{シリコンの順方向接合耐圧}) \leq VS1$ の状態を保つようにすれば良い。つまり、 $VW1 = RW \cdot IW1$ 、 $VS1 = RS \cdot IS1$ であるから、この中のパラメーターを意図的に変更して、 $VW1 - (\text{シリコンの順方向接合耐圧}) \leq VS1$ の状態を保つようにすれば良い。まず、ソース電流IS1及び基板電流IW1はドレイン電圧VD1によりほぼ決定されるので、意図的に変更できない。また、P型ウェル2の抵抗RWは目標とするMOSトランジスタ特性からの制限で決められるものであり、サステイン耐圧向上のためだけの理由で故意に変更できない。ソース側の抵抗RSは一般にドレイン側の抵抗RDと等しくなるように、同じサイズ、同じ濃度で設定されているが、これは左右対称の方が設計上簡易だからであり、一般的には、トランジスタ特性上は必ずしも同じである必要はない。ドレイン側の抵抗RDに相当するオフセット層は、ドレイン電圧VD1を印加したときに空乏化することにより、電界緩和することを目的として使われ、ドレイン側の抵抗RDの抵抗値は、ドレイン電圧、トランジスタ速度、オン抵抗特性などから制限されている。一方、ソース側の抵抗RSはソース電位VS2が0Vに設定して使われ、ドレイン側の抵抗RDのように高電界をかけては使用されないで、制限が少なく設定変更が可能である。

【0018】以上の理由により、意図的に変更可能である抵抗は、ソース側の抵抗値RSのみであることが判る。このソース側の抵抗値RSをドレイン側の抵抗RDに関係なく適正に設定することにより、ソース電圧VS1が大きくなり、結果として、 $VW1 - (\text{シリコンの順方向接合耐圧}) \leq VS1$ が可能になり、サステイン破壊を起こし難くすることが可能になる。

【0019】従来の高耐圧MOSトランジスタは、そのトランジスタ特性からドレイン側の抵抗RDは適正化されていたが、ソース側の抵抗値RSについては工程簡略化、回路仕様上の簡略化を理由として、ドレイン側と左右対象に形成され、その抵抗値については充分に適正化されていなかった。本発明は、このソース側の抵抗値RSに着目し、この抵抗値を適正化することにより、MOSトランジスタ特性を維持しつつ、サステイン耐圧向上

を簡単に実現させる高耐圧MOSトランジスタの構造と製造方法を提供するものである。

【0020】本発明では、MOSトランジスタのドレイン領域とソース領域とが非対称な構造になる可能性もあるが、問題はない。一般に、5V駆動などの低圧系のMOSトランジスタはドレインとソースとが左右対称に形成されているが、これは、ドレインとソースを固定しないほうが回路仕様上有利なためである。しかしながら、高耐圧トランジスタは回路設計上ドレインとソースとを固定しても影響はないため、ドレイン側とソース側で異なる抵抗値を有し、左右非対称の構造を持つことも可能である。

【0021】サステイン耐圧を向上させる手段として、ソース側に外付けで抵抗を入れる方法は従来より使われている。本発明は、外付けで抵抗を入れる必要が無く、ドレイン領域及びソース領域にLOCOSオフセット構造を持つMOSトランジスタのオフセット領域の抵抗を積極的に利用することにより、外付け抵抗の場合と同様の効果を得るものである。

【0022】即ち、請求項1記載の発明の高耐圧MOSトランジスタの構造は、ソース側の抵抗値が、ドレイン側の抵抗値とは無関係に、高いサステイン耐圧を持つように設定されていることを特徴とする。

【0023】請求項2記載の発明は、前記請求項1記載の高耐圧MOSトランジスタの構造において、ソース側のオフセット領域の抵抗値が、ドレイン側のオフセット領域の抵抗値とは無関係に、高いサステイン耐圧を持つように設定されていることを特徴とする。

【0024】請求項3記載の発明の高耐圧MOSトランジスタの構造は、ドレイン側のオフセット領域と、前記ドレイン側のオフセット領域とは非対称なソース側のオフセット領域とを備えて、高いサステイン耐圧を持つことを特徴とする。

【0025】請求項4記載の発明は、前記請求項3記載の高耐圧MOSトランジスタの構造において、前記ソース側のオフセット領域のサイズが、前記ドレイン側のオフセット領域のサイズとは非対称に設定されて、高いサステイン耐圧を持つことを特徴とする。

【0026】請求項5記載の発明は、前記請求項3記載の高耐圧MOSトランジスタの構造において、前記ソース側のオフセット領域の濃度が、前記ドレイン側のオフセット領域の濃度とは非対称に設定されて、高いサステイン耐圧を持つことを特徴とする。

【0027】請求項6記載の発明の高耐圧MOSトランジスタの構造は、ドレイン側のオフセット拡散層と、前記ドレイン側のオフセット領域とは不純物濃度が異なるソース側のオフセット領域とを備えて、高いサステイン耐圧を持つことを特徴としている。

【0028】請求項7記載の発明は、前記請求項1記載の高耐圧MOSトランジスタの構造において、ソース側

の抵抗値が、基板電圧をVW、ソース電圧をVSとして、

$VW - (\text{シリコンの順方向接合耐圧}) > VS$

となり難いように、ドレイン側の抵抗値よりも高く設定されていることを特徴とする。

【0029】請求項8記載の発明の高耐圧MOSトランジスタの製造方法は、ソース側のオフセットのサイズをドレイン側のオフセットのサイズよりも大きくするようにレジストパターンを作製し、前記レジストパターンを用いて前記ソース側のオフセット及びドレイン側のオフセットを形成して、高いサステイン耐圧を持つ高耐圧MOSトランジスタを製造することを特徴とする。

【0030】請求項9記載の発明の高耐圧MOSトランジスタの製造方法は、ドレイン側のオフセット領域を形成する工程と、前記ドレイン側のオフセット領域の不純物濃度とは無関係に設定された不純物濃度となるようにイオン注入して、ソース側のオフセット領域を形成する工程とを有する高いサステイン耐圧を持つ高耐圧MOSトランジスタを製造することを特徴とする。

【0031】請求項10記載の発明は、前記請求項9記載の高耐圧MOSトランジスタの製造方法において、前記ソース側のオフセット領域の不純物濃度は、前記ドレイン側のオフセット領域の不純物濃度よりも低く設定されることを特徴とする。

【0032】請求項11記載の発明の高耐圧MOSトランジスタの製造方法は、低圧MOSトランジスタと同一チップ内に共存する高耐圧MOSトランジスタの製造方法であって、前記低圧MOSトランジスタのウエル形成用フォトマスクに存在する高耐圧MOSトランジスタのソース側及びドレイン側の各ウエルオフセットの位置を、ソース側においてウエルオフセットとオフセットとの重なりを少なくなるように設定し、前記フォトマスクを用いて高耐圧MOSトランジスタのソース側及びドレイン側の各ウエルオフセットを形成して、高いサステイン耐圧を持つ高耐圧MOSトランジスタを製造することを特徴とする。

【0033】以上により、請求項1ないし請求項11記載の発明の高耐圧MOSトランジスタの構造及び製造方法では、ソース領域の抵抗値がドレイン領域の抵抗値に無関係に設定される。従って、基板電圧VWからシリコンの順方向接合耐圧を減算した電圧値がソース電圧VSよりも大きくなり難くなるので、MOSトランジスタの特性が良好に維持されながら、サステイン耐圧が高くなる。

【0034】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照しながら説明する。

【0035】（第1の実施の形態）図1及び図2は本発明の第1の実施の形態のLOCOSオフセット型の高耐圧MOSトランジスタ構造を示す。図1は高耐圧MOS

トランジスタの断面図、図2は高耐圧MOSトランジスタの平面図を示す。

【0036】図1及び図2に示すように、高耐圧トランジスタと低圧トランジスタは同一チップ上に共存している。本実施の形態では高耐圧トランジスタ部AがN-ch、低圧トランジスタ部BがP-chの場合を例としている。

【0037】先ず、高耐圧トランジスタ部Aの構造について、図1及び図2を用いて説明する。P型基板1中に、高耐圧N-chトランジスタ用のウエル拡散層であるP型ウエル2があり、このP型ウエル2上部にゲート酸化膜7を介してゲート電極8がある。ゲート電極8の端部又はゲート電極8とドレイン拡散層9d及びソース拡散層9sとの間にLOCOS6があり、ゲート電極8とドレイン拡散層4d又はソース拡散層4sとを表面上で分離している。前述ゲート電極8端部のLOCOS6の直下に、ドレイン側オフセット4d、ソース側オフセット4sがある。ドレイン拡散層9d及びソース拡散層9sの下方に、ドレイン側ウエルオフセット3d及びソース側ウエルオフセット3sがある。

【0038】図1及び図2に示すように、オフセット拡散層4d、4sの濃度及び深さは、ソース側とドレイン側では同じであるが、サイズはソース側4sがドレイン側4dに比べて大きく設定された構造になっている。つまり、ドレイン側オフセット4dの寸法をLd、ソース側オフセット4sの寸法をLsとすると、 $Ld < Ls$ の関係になっている。

【0039】また、オフセットとウエルオフセットの位置関係は、従来の構造と同じであって、ドレイン側オフセット4dとドレイン側ウエルオフセット3dとの重なり寸法をOd、ソース側オフセット4sとソース側ウエルオフセット3sとの重なり寸法をOsとすると、 $Od = Os$ の関係になっている。

【0040】以上により形成されたゲート、ドレイン、ソース部は、N型分離拡散層4、P型分離拡散層5、LOCOS6によって、P型ウエル拡散層2の電位を取るための拡散層であるチャンネルストッパー10と分離されている。

【0041】次に、低圧トランジスタ部Bの構造について図1及び図2を用いて説明する。前記P型ウエル2中に、低圧P-chトランジスタのウエル拡散層であるN型ウエル3がある。このN型ウエル3の上部にゲート酸化膜7を介してゲート電極8があり、その両側にドレイン拡散層11d及びソース拡散層11sがある。以上で形成されたゲート、ドレイン、ソース部は、N型分離拡散層4、P型分離拡散層5、LOCOS6によって、N型ウエル拡散層3の電位を取るための拡散層であるチャンネルストッパー12と分離されている。

【0042】次に、本実施の形態のLOCOSオフセット型の高耐圧MOSトランジスタの製造方法について、

図3を参照しながら説明する。

【0043】図3(a)に示すように、P型基板1の表面にP型ウエル2をフォトリソ工程、イオン注入工程、熱処理工程により形成する。本実施の形態においては、比抵抗 $10\Omega \cdot \text{cm} \sim 50\Omega \cdot \text{cm}$ のP型基板1の表面に、高耐圧部ウエル形成用レジストパターンを用いてボロンなどのP型イオン種を注入し、熱処理工程により、例えば不純物濃度が $2.0 \times 10^{15} \text{cm}^{-3}$ 、拡散深さ約 $15\mu\text{m}$ のP型ウエル2を形成した。

【0044】更に、図3(b)に示すように、前記P型ウエル2の表面に、N型ウエル3とドレイン側ウエルオフセット3dとソース側ウエルオフセット3sとを、フォトリソ工程、イオン注入工程、熱処理工程により形成する。本実施の形態においては、低圧部ウエル形成用レジストパターンを用いて燐などのN型イオン種を注入し、熱処理工程により、例えば不純物濃度が $1.0 \times 10^{16} \text{cm}^{-3}$ 、拡散深さ $5\mu\text{m}$ のN型ウエル3、ドレイン側ウエルオフセット3d、ソース側ウエルオフセット3sを形成した。

【0045】続いて、図3(c)に示すように、前記P型ウエル2の上方に、N型分離拡散層4とドレイン側オフセット4dとソース側オフセット4sとを、フォトリソ工程、イオン注入工程により形成する。このとき使用するレジストパターンはLsを大に、つまり $Ld < Ls$ に設計されている。本実施の形態では、 Ld と Ls のサイズを、例えば従来は $Ld = Ls = 6.0\mu\text{m}$ であったのに対し、 $Ld = 6.0\mu\text{m}$ のままにし、 $Ls = 9.0\mu\text{m}$ に変更して設計したレジストパターンを用いて、燐などのN型イオン種を注入した。その後、P型分離拡散層5をフォトリソ工程、イオン注入工程により形成し、それ等を被うようにLOCOS6を形成する。本実施の形態では、レジストパターンを用いて、ボロンなどのP型イオン種を注入し、LOCOS成長の熱処理を施した。その結果、例えば不純物濃度が $2.0 \times 10^{16} \text{cm}^{-3}$ 、拡散層深さ $2\mu\text{m}$ のN型分離拡散層4、ドレイン側オフセット4d、ソース側オフセット4s、P型分離拡散層5を各々形成した。前記 $Ld < Ls$ に設計したレジストパターンを使用した結果、従来通りの工程でオフセットの濃度及び深さは変更せずに、サイズのみ $Ld < Ls$ と変更した構造を形成することができた。

【0046】更に、図3(d)に示すように、ゲート酸化膜7、ゲート電極8を形成した後、ドレイン拡散層9d及びソース拡散層9s、チャンネルストッパー10、ドレイン拡散層11d及びソース拡散層11s、チャンネルストッパー12を、フォトリソ工程、イオン注入工程、熱処理工程により形成する。本実施の形態では、高耐圧N-ch部のドレイン、ソースに関しては、レジストパターンを用いて燐などのN型イオン種を注入し、熱処理工程により、例えば不純物濃度が $2.0 \times 10^{20} \text{cm}^{-3}$ 、拡散層深さ $0.5\mu\text{m}$ のドレイン拡散層9

d、ソース拡散層9sを形成した。

【0047】以上の製造方法により、同一チップ上に高耐圧MOSトランジスタと低圧MOSトランジスタが形成される。

【0048】本実施の形態を用いて作製した高耐圧MOSトランジスタは、例えば従来の高耐圧MOSトランジスタのサステイン耐圧が85Vであったのに対し、約15V高いサステイン耐圧100Vを実現することができた。

【0049】次に、本実施の形態のLOCOSオフセット型の高耐圧MOSトランジスタの動作について、図10を参照しながら説明する。本実施の形態では、N-chトランジスタの場合を例に挙げている。図10は本発明の高耐圧MOSトランジスタの動作説明図、図10(a)は動作時の断面図、図10(b)はドレイン電圧と電流の関係を示すグラフである。

【0050】従来の高耐圧MOSトランジスタと同様に、動作時に電圧印加される位置は電極部G、D2、S2、W2であるが、実際にトランジスタのゲート、ドレイン、ソース、ウェルとして動作している位置はゲート電極8直下の部位G、D1、S1、W1である。電極部D2、S2、W2と前記各部位D1、S1、W1とは、電界集中を緩和するために、各々、ドレイン側オフセット4dの抵抗RD、ソース側オフセット4sの抵抗RS、P型ウェル2の抵抗RWなどの抵抗成分を介した構造になっている。

【0051】前述の高耐圧MOSトランジスタがオンするとき、つまりゲート電極8とドレイン拡散層9dに正電圧が印加されると、ドレイン拡散層9dだけでなく同極性の濃度の薄い拡散層であるドレイン側ウェルオフセット3d、ドレイン側オフセット4dも空乏化される。更に、電圧印加が大きくなり、これ等の領域が充分に空乏化されると、キャリアの電子がソース側からドレイン側へ向かって移動し、ドレイン電流ID1が流れ始める。このドレイン電流ID1は、ソース側へ流れるソース電流IS1と、ウェル及び基板方向へ流れる基板電流IW1とに分かれる。つまり、 $ID1 = IS1 + IW1$ の関係になっている。ドレイン電圧と電流の関係は図10(b)に示される通りである。

【0052】ここで、ドレイン電圧VD1が高電圧になると、基板電流IW1が流れ出し、ウェル側に $RW \cdot IW1 = VW1$ 分の電位が発生する。一方、ソース側では、ソース電流IS1の大きさは従来と変わらないが、ソース側オフセット4sのサイズを大きくした結果、ソース側オフセット4sの抵抗RSが大きくなり、同じドレイン電圧VD1におけるソース電位は、 $RS \cdot IS1 = VS1$ であるから、従来のソース電位よりも大きくなった。従って、従来の高耐圧MOSトランジスタのサステイン耐圧である、 $VD1 = x(V)$ の電圧においても、ソース側オフセット4sの抵抗RSが大きくなった

ことにより、ソース電位VS1が大きくなり、ウェル側に発生する $RW \cdot IW1 = VW1$ 分の電位より高くなることを保持できたので、 $VW1 - (\text{シリコンの順方向接合耐圧}) \leq VS1$ の関係を維持し、部位D1、S1、W1の寄生バイポーラがオンするに至らず、急激に基板電流IW1が増加せず、結果としてドレイン電流ID1がトランジスタ破壊に至る電流に至らないため、サステイン破壊を防ぐことができた。

【0053】以上のように、本実施の形態によれば、ソース側オフセット4sの抵抗RSを適正な抵抗値に設定するために、オフセットのサイズの適正化を行なった結果、ソース側のオフセットのサイズがドレイン側よりも大きくなり、左右非対称の構造となったが、MOSトランジスタ特性を維持し、プロセスの変更無しにサステイン耐圧の向上を実現することができた。

【0054】尚、本実施の形態では、N-chトランジスタの場合を例に説明したが、P-chトランジスタにおいても同様の効果が得られることは勿論である。

【0055】(第2の実施の形態)以下、本発明の第2の実施の形態について、図面を参照しながら説明する。

【0056】以下に本発明のLOCOSオフセット型の高耐圧MOSトランジスタ構造について、図4及び図5を用いて説明する。図4は本発明の第2の実施の形態における高耐圧MOSトランジスタの断面図、図5は本発明の第2の実施の形態における高耐圧MOSトランジスタの平面図である。図4及び図5に示すように、高耐圧トランジスタと低圧トランジスタは同一チップ上に共存している。本実施の形態では高耐圧トランジスタ部CがN-ch、低圧トランジスタ部BがP-chの場合を例としている。

【0057】先ず、高耐圧トランジスタ部Cの構造について図4及び図5を用いて説明する。P型基板1中に、高耐圧N-chトランジスタ用のウェル拡散層であるP型ウェル2があり、このP型ウェル2上部にゲート酸化膜7を介してゲート電極8がある。ゲート電極8の端部又はゲート電極8とドレイン拡散層9d及びソース拡散層9sとの間にLOCOS6があり、ゲート電極8とドレイン拡散層9d又はソース拡散層9sとを表面上で分離している。前述ゲート電極8端部のLOCOS6の直下にドレイン側オフセット4d、ソース側オフセット4sがある。ドレイン拡散層9d及びソース拡散層9sの下方に、ドレイン側ウェルオフセット3d及びソース側ウェルオフセット3sがある。

【0058】図4及び図5に示すように、ドレイン側オフセット4d、ソース側オフセット4sの関係は、 $Ld = Ls$ 、またオフセットとウェルオフセットの位置関係は、 $Od = Os$ であり、従来の高耐圧MOSトランジスタと同じである。ここで、ソース側オフセット4sの濃度は、ドレイン側オフセット4dよりも薄く設定されている。以上で形成されたゲート、ドレイン、ソース部

は、N型分離拡散層4、P型分離拡散層5、LOCOS6により、P型ウェル拡散層2の電位を取るための拡散層であるチャンネルストッパー10と分離されている。

【0059】次に、低圧トランジスタ部Bの構造について図4及び図5を用いて説明する。前記P型ウェル2中に、低圧P-chトランジスタのウェル拡散層であるN型ウェル3がある。このN型ウェル3の上部にゲート酸化膜7を介してゲート電極8があり、その両側にドレイン拡散層11d及びソース拡散層11sがある。以上で形成されたゲート、ドレイン、ソース部は、N型分離拡散層4、P型分離拡散層5、LOCOS6によって、N型ウェル拡散層3の電位を取るための拡散層であるチャンネルストッパー12と分離されている。

【0060】次に、本実施の形態のLOCOSオフセット型の高耐圧MOSトランジスタの製造方法について、図6を参照しながら説明する。

【0061】図6(a)に示すように、P型基板1の表面にP型ウェル2を、フォトリソ工程、イオン注入工程、熱処理工程により形成する。本実施の形態においては、比抵抗 $10\Omega\cdot\text{cm}\sim 50\Omega\cdot\text{cm}$ のP型基板1の表面に高耐圧部ウェル形成用レジストパターンを用いてボロンなどのP型イオン種を注入し、熱処理工程により、例えば不純物濃度が $2.0\times 10^{15}\text{cm}^{-3}$ 、拡散深さ約 $1.5\mu\text{m}$ のP型ウェル2を形成した。

【0062】更に、図6(b)に示すように、前記P型ウェル2の表面に、N型ウェル3とドレイン側ウェルオフセット3dとソース側ウェルオフセット3sとを、フォトリソ工程、イオン注入工程、熱処理工程により形成する。本実施の形態においては、低圧部ウェル形成用レジストパターンを用いて燐などのN型イオン種を注入し、熱処理工程により、例えば不純物濃度が $1.0\times 10^{16}\text{cm}^{-3}$ 、拡散深さ $5\mu\text{m}$ のN型ウェル3、ドレイン側ウェルオフセット3d、ソース側ウェルオフセット3sを形成した。

【0063】続いて、図6(c)に示すように、前記P型ウェル2の上方に、N型分離拡散層4とドレイン側オフセット4dとを、イオン注入工程により形成する。ソース側オフセット4sは別のレジストパターンにより、例えば図5のように選択して、ドレイン側オフセット4dよりも不純物濃度が薄くなるような注入を打つことにより、形成する。その後、P型分離拡散層5をフォトリソ工程、イオン注入工程により形成し、それ等を被うようにLOCOS6を形成する。

【0064】本実施の形態では、レジストパターンを用いて燐などのN型イオン種、ボロン等のP型イオン種を各々注入し、LOCOS成長の熱処理により、例えば不純物濃度が $2.0\times 10^{16}\text{cm}^{-3}$ 、拡散層深さ $2\mu\text{m}$ のN型分離拡散層4、ドレイン側オフセット4d、P型分離拡散層5、不純物濃度が $1.3\times 10^{16}\text{cm}^{-3}$ 、拡散層深さ $1.6\mu\text{m}$ のソース側オフセット4sを各々形成し

た。

【0065】更に、図3(d)に示すように、ゲート酸化膜7、ゲート電極8を形成した後、ドレイン拡散層9d及びソース拡散層9s、チャンネルストッパー10、ドレイン拡散層11d及びソース拡散層11s、チャンネルストッパー12を、フォトリソ工程、イオン注入工程、熱処理工程により形成する。本実施の形態では、高耐圧N-ch部のドレイン、ソースに関しては、レジストパターンを用いて燐などのN型イオン種を注入し、熱処理工程により、例えば不純物濃度が $2.0\times 10^{20}\text{cm}^{-3}$ 、拡散層深さ $0.5\mu\text{m}$ のドレイン拡散層9d、ソース拡散層9sを形成した。以上の製造方法により、同一チップ上に高耐圧MOSトランジスタと低圧MOSトランジスタが形成される。

【0066】本実施の形態を用いて作製した高耐圧MOSトランジスタは、例えば従来の高耐圧MOSトランジスタのサステイン耐圧が 8.5V であったのに対し、約 15V 高いサステイン耐圧 100V を実現することができた。

【0067】次に、本実施の形態のLOCOSオフセット型の高耐圧MOSトランジスタの動作について、図10を参照しながら説明する。本明細書図ではN-chトランジスタの場合を例に挙げている。図10は本発明の高耐圧MOSトランジスタの動作説明図であり、同図(a)は動作時の断面図、同図(b)はドレイン電圧と電流の関係を示すグラフである。

【0068】従来の高耐圧MOSトランジスタと同様に、動作時に電圧印加される位置は電極部G、D2、S2、W2であるが、実際にトランジスタのゲート、ドレイン、ソース、ウェルとして動作している位置は、ゲート電極8直下の部位G、D1、S1、W1である。電極部D2、S2、W2と前記各部位D1、S1、W1とは、電界集中を緩和するために、各々、ドレイン側オフセット4dの抵抗RD、ソース側オフセット4sの抵抗RS、P型ウェル2の抵抗RWなどの抵抗成分を介した構造になっている。

【0069】前述の高耐圧MOSトランジスタがオンするとき、つまりゲート電極8とドレイン拡散層9dに正電圧が印加されると、ドレイン拡散層9dだけでなく、同極性の濃度の薄い拡散層であるドレイン側ウェルオフセット3d、ドレイン側オフセット4dも空乏化される。更に、電圧印加が大きくなり、これ等の領域が充分に空乏化されると、キャリアの電子がソース側からドレイン側へ向かって移動し、ドレイン電流ID1が流れ始める。このドレイン電流ID1は、ソース側へ流れるソース電流IS1と、ウェル及び基板方向へ流れる基板電流IW1とに分かれる。つまり、 $ID1=IS1+IW1$ の関係になっている。ドレイン電圧と電流の関係は図10(b)に示される通りである。

【0070】ここで、ドレイン電圧VD1が高電圧にな

ると、基板電流 I_{W1} が流れ出し、ウエル側に $R_W \cdot I_{W1} = V_{W1}$ 分の電位が発生する。一方、ソース側では、ソース電流 I_{S1} の大きさは従来と変わらないが、ソース側オフセット4s形成時の注入量を変更して濃度を低くしたので、ソース側オフセット4sの抵抗RSが大きくなり、同じドレイン電圧 V_{D1} におけるソース電位は、 $R_S \cdot I_{S1} = V_{S1}$ であるから、従来のソース電位よりも大きくなった。従って、従来の高耐圧MOSトランジスタのサステイン耐圧である $V_{D1} = x$ (V) の電圧においても、ソース側オフセット4sの抵抗RSが大きくなったことにより、ソース電位 V_{S1} が大きくなり、ウエル側に発生する $R_W \cdot I_{W1} = V_{W1}$ 分の電位より高くなることを保持できたので、 $V_{W1} -$ (シリコンの順方向接合耐圧) $\leq V_{S1}$ の関係を維持し、部位D1、S1、W1の寄生バイポーラがオンするに至らず、急激に基板電流 I_{W1} が増加せず、結果としてドレイン電流 I_{D1} がトランジスタ破壊に至る電流に至らないので、サステイン破壊を防ぐことができた。

【0071】以上のように本実施の形態によれば、ソース側オフセット4sの抵抗RSを適正な抵抗値に設定するために、ソース側オフセット領域の注入量の適正化を行なった結果、ソース側のオフセット注入量がドレイン側と異なって左右非対称の構造となり、工程が増える結果になったが、サイズ変更をする必要がなく、MOSトランジスタ特性を維持しながら、サステイン耐圧の向上を実現することができた。

【0072】ソース側オフセット4sの濃度について述べると、ソース拡散層9s > ソース側オフセット4s > ソース側ウエルオフセット3sの範囲内になるように設定すれば良い。

【0073】尚、本実施の形態では、ソース側オフセット4sの領域のみフォトリソパターンで選択して、薄い注入を打ったが、従来通りの工程に加えて、ソース側オフセット4sの領域のみ逆極性の注入を打ち返しにして、低濃度を実現しても良い。

【0074】また、本実施の形態では、N-chトランジスタの場合を例に挙げて説明したが、P-chトランジスタにおいても同様の効果が得られることは勿論である。

【0075】(第3の実施の形態)以下、本発明の第3の実施の形態について、図面を参照しながら説明する。

【0076】以下に本発明のLOCOSオフセット型の高耐圧MOSトランジスタ構造について図7及び図8を用いて説明する。図7は本発明の第3の実施の形態における高耐圧MOSトランジスタの断面図、図8は本発明の第3の実施の形態における高耐圧MOSトランジスタの平面図である。図7及び図8に示すように、高耐圧トランジスタと低圧トランジスタは同一チップ上に共存している。本実施の形態では高耐圧トランジスタ部DがN-ch、低圧トランジスタ部BがP-chの場合を例に

挙げている。

【0077】まず、高耐圧トランジスタ部Dの構造について、図7及び図8を用いて説明する。P型基板1中に、高耐圧N-chトランジスタ用のウエル拡散層であるP型ウエル2があり、このP型ウエル2上部にゲート酸化膜7を介してゲート電極8がある。ゲート電極8の端部又はゲート電極8とドレイン拡散層9d及びソース拡散層9sとの間にLOCOS6があり、ゲート電極8とドレイン拡散層9d又はソース拡散層9sとを表面上で分離している。前述ゲート電極8端部のLOCOS6の直下に、ドレイン側オフセット4d、ソース側オフセット4sがある。ドレイン拡散層9d及びソース拡散層9dの下方に、ドレイン側ウエルオフセット3d及びソース側ウエルオフセット3sがある。

【0078】ここで、オフセットのサイズは従来と同じであって、 $L_d = L_s$ の関係に、またオフセットとウエルオフセットの位置関係は、 $O_d > O_s$ の関係になっている。つまり、ドレイン側オフセット4dの領域はドレイン側ウエルオフセット3dとの重なり寸法 O_d が大きく、この領域の不純物濃度はオフセットとウエルオフセットを足したものに、反対に、ソース側オフセット4sはソース側ウエルオフセット3sとの重なり寸法 O_s が小さく(図7はほとんど"0"に)設定され、不純物濃度はオフセットに対し逆極性のP型ウエル2に打ち返されたものになっており、オフセットの濃度は従来に比べてドレイン側は濃く、ソース側は薄いという、ドレイン側とソース側で濃度が異なるという構造になっている。

【0079】以上により形成されたゲート、ドレイン、ソース部は、N型分離拡散層4、P型分離拡散層5、LOCOS6によって、P型ウエル拡散層2の電位を取るための拡散層であるチャンネルストッパー10と分離されている。

【0080】次に、低圧トランジスタ部Bの構造について図7及び図8を用いて説明する。前記P型ウエル2中に、低圧P-chトランジスタのウエル拡散層であるN型ウエル3がある。このN型ウエル3の上部にゲート酸化膜7を介してゲート電極8があり、その両側にドレイン拡散層11d及びソース拡散層11sがある。以上で形成されたゲート、ドレイン、ソース部は、N型分離拡散層4、P型分離拡散層5、LOCOS6によって、N型ウエル拡散層3の電位を取るための拡散層であるチャンネルストッパー12と分離されている。

【0081】次に、本実施の形態のLOCOSオフセット型の高耐圧MOSトランジスタの製造方法について、図9を参照しながら説明する。

【0082】図9(a)に示すように、P型基板1の表面にP型ウエル2をフォトリソ工程、イオン注入工程、熱処理工程により形成する。本実施の形態においては、比抵抗 $10 \Omega \cdot \text{cm} \sim 50 \Omega \cdot \text{cm}$ のP型基板1の表面に高耐圧部ウエル形成用レジストパターンを用いて

ボロンなどのP型イオン種を注入し、熱処理工程により、例えば不純物濃度が $2.0 \times 10^{15} \text{ cm}^{-3}$ 、拡散深さ約 $1.5 \mu\text{m}$ のP型ウエル2を形成した。

【0083】更に、図9(b)に示すように、前記P型ウエル2の表面に、低圧トランジスタ部BのN型ウエル3と、高圧トランジスタ部のドレイン側ウエルオフセット3dと、ソース側ウエルオフセット3sとを、フォトリソ工程、イオン注入工程、熱処理工程により同時に形成する。このとき、低圧ウエル形成用レジストパターンの位置を、従来の位置よりもゲート電極からみてソ

ース側寄り（即ち、図7で右方向）にずらしておく。本実施の形態においては、低圧部ウエル形成用レジストパターンを従来の位置に対して約 $6.0 \mu\text{m}$ ソース側寄りにずらしておいた。このレジストパターンを用いて燐などのN型イオン種を注入し、熱処理工程により、例えば不純物濃度が $1.0 \times 10^{16} \text{ cm}^{-3}$ 、拡散深さ $5 \mu\text{m}$ のN型ウエル3、ドレイン側ウエルオフセット3d、及びソース側ウエルオフセット3sを形成した。

【0084】続いて、図9(c)に示すように、前記P型ウエル2の上方に、N型分離拡散層4と、ドレイン側

オフセット4dと、ソース側オフセット4sとを、フォトリソ工程、イオン注入工程により形成する。このとき、前工程であるウエルオフセットの位置のみ従来の位置に比べてソース寄りにずらしているため、以降の工程のレジストパターンを従来の位置に設定すると、オフセットとウエルオフセットとの位置関係は、自動的に $O_d > O_s$ になる。オフセットのサイズは、従来のレジストパターンを使用していて、変更していないので、同じであり、 $L_d = L_s$ である。その結果、既存のレジストパターンを用いて、従来の工程でサイズを変更せずに、不純物濃度設定をドレイン側は従来よりも濃く、ソース側は薄くというように、ドレイン側とソース側とで別濃度を実現することができた。その後、P型分離拡散層5をフォトリソ工程、イオン注入工程により形成し、それ等を被うようにLOCOS6を形成する。

【0085】本実施の形態では、レジストパターンを用いて燐などのN型イオン種、ボロンなどのP型イオン種を注入し、LOCOS成長の熱処理により、例えば不純物濃度が $2.0 \times 10^{16} \text{ cm}^{-3}$ 、拡散層深さ $2 \mu\text{m}$ のN型

分離拡散層4、P型分離拡散層5を形成すると共に、不純物濃度が $3.0 \times 10^{16} \text{ cm}^{-3}$ 、拡散層深さ $2 \mu\text{m}$ のドレイン側オフセット4d、不純物濃度が $1.3 \times 10^{16} \text{ cm}^{-3}$ 、拡散層深さ $1.3 \mu\text{m}$ のソース側オフセット4sを形成した。本実施の形態では、例えば L_d 及び L_s のサイズは、従来のレジストパターンを使用しているために、同じ $L_d = L_s = 6.0 \mu\text{m}$ であって、低圧ウエルオフセットを、オフセットに対してソース側に約 $6.0 \mu\text{m}$ ずらして、 $O_d > O_s$ を実現した。

【0086】更に、図9(d)に示すように、ゲート酸

化膜7及びゲート電極8を形成した後、ドレイン拡散層9d及びソース拡散層9s、チャンネルストッパ10、ドレイン拡散層11d及びソース拡散層11s、チャンネルストッパ12を、フォトリソ工程、イオン注入工程、熱処理工程により形成する。本実施の形態では、高耐圧N-ch部のドレイン及びソースに関しては、レジストパターンを用いて燐などのN型イオン種を注入し、熱処理工程により、例えば不純物濃度が $2.0 \times 10^{20} \text{ cm}^{-3}$ 、拡散層深さ $0.5 \mu\text{m}$ のドレイン拡散層9d及びソース拡散層9sを形成した。

【0087】以上の製造方法により、同一チップ上に高耐圧MOSトランジスタと低圧MOSトランジスタが形成される。

【0088】本実施の形態を用いて作製した高耐圧MOSトランジスタは、例えば従来の高耐圧MOSトランジスタのサステイン耐圧が 85 V であったのに対し、約 15 V 高いサステイン耐圧 100 V を実現することができた。

【0089】次に、本実施の形態のLOCOSオフセット型の高耐圧MOSトランジスタの動作について、図10を参照しながら説明する。本明細書では、N-chトランジスタの場合を例に挙げている。図10は本発明の高耐圧MOSトランジスタの動作説明図、同図(a)は動作時の断面図、同図(b)はドレイン電圧と電流の関係を示すグラフである。

【0090】従来の高耐圧MOSトランジスタと同様に、動作時に電圧印加される位置は電極部G、D2、S2、W2であるが、実際にトランジスタのゲート、ドレイン、ソース、ウエルとして動作している位置はゲート電極8直下の部位G、D1、S1、W1である。前記電極部D2、S2、W2と前記部位D1、S1、W1とは、電界集中を緩和するために、各々、ドレイン側オフセット4dの抵抗RD、ソース側オフセット4sの抵抗RS、P型ウエル2の抵抗RWなどの抵抗成分を介した構造になっている。

【0091】前述の高耐圧MOSトランジスタがオンするとき、つまりゲート電極8及びドレイン拡散層9dに正電圧が印加されると、ドレイン拡散層9dだけでなく、同極性の濃度の薄い拡散層であるドレイン側ウエルオフセット3d、ドレイン側オフセット4dも空乏化される。更に、電圧印加が大きくなり、これ等の領域が十分に空乏化されると、キャリアの電子がソース側からドレイン側へ向かって移動し、ドレイン電流ID1が流れ始める。このドレイン電流ID1は、ソース側へ流れるソース電流IS1と、ウエル及び基板方向へ流れる基板電流IW1とに分かれる。つまり、 $ID1 = IS1 + IW1$ の関係になっている。ドレイン電圧と電流の関係は、図10(b)に示される通りである。

【0092】ここで、ドレイン電圧VD1が高電圧になると、基板電流IW1が流れ出し、ウエル側に $RW \cdot I$

10

20

30

40

50

W1=VW1分の電位が発生する。一方、ソース側では、ソース電流IS1の大きさは従来と変わらないが、低圧用ウェル形成用レジストパターンを従来の位置よりもソース寄りにずらしたことにより、ソース側オフセット4sの濃度が従来よりも低くなって、ソース側オフセット4sの抵抗RSが大きくなり、同じドレイン電圧VD1におけるソース電位は、 $RS \cdot IS1 = VS1$ となつて、従来のソース電位よりも大きくなった。従つて、従来の高耐圧MOSトランジスタのサステイン耐圧である、VD1=x(V)の電圧においても、ソース側オフセット4sの抵抗RSが大きくなったことにより、ソース電位VS1が大きくなり、ウェル側に発生するRW・IW1=VW1分の電位より高くなることを保持できたので、VW1-(シリコンの順方向接合耐圧)≤VS1の関係を維持し、部位D1、S1、W1の寄生バイポーラがオンするに至らず、急激に基板電流IW1が増加せず、結果としてドレイン電流ID1がトランジスタ破壊に至る電流に至らないので、サステイン破壊を防ぐことができた。

【0093】以上のように、本実施の形態によれば、ソース側オフセット4sの抵抗RSを適正な抵抗値に設定するために、オフセット濃度の適正化を行なったので、ソース側のオフセット濃度がドレイン側よりも低くなり、左右非対称の構造となったが、既存のレジストパターンを活用し、サイズ変更とプロセス変更無しに安価に、MOSトランジスタ特性を維持したまま、サステイン耐圧の向上を実現することができた。

【0094】低圧ウェル形成用マスク位置のずらし方は、ソース側ウェルオフセット3sを、ソース側オフセット4sから離れず、かつP型分離拡散層5に接触しない範囲で、ゲート電極8よりも外側の範囲で行なうと良い。

【0095】本実施の形態では、既存のレジストパターンを用いて全体的にソース側寄りにずらすことにより、ソース側オフセット4sの抵抗RSの抵抗値を適正化する場合について述べたが、新規にレジストパターンを作製する場合は、ドレイン電流Id、ソース電流Is、及び前記重なり寸法Od、Osのサイズを図7及び図8のように設計すれば良い。

【0096】尚、本実施の形態では、N-chトランジスタの場合を例に説明したが、P-chトランジスタにおいても同様の効果が得られることは勿論である。

【0097】更に、本実施の形態では、高耐圧MOSトランジスタ製造工程において、低圧トランジスタ部Bのウェル形成に使われているレジストパターンを高耐圧トランジスタのウェルオフセット形成と共用している場合に、低圧ウェル形成用マスクの位置を僅かにずらすだけで、サイズ変更、工程追加を発生させずに、前記第1及び第2の実施の形態と同じ効果が得られて、簡単に安価にできる有益な方法である。

【0098】

【発明の効果】以上説明したように、請求項1ないし請求項11記載の発明の高耐圧MOSトランジスタの構造及び製造方法によれば、ソース領域の抵抗値をドレイン領域の抵抗値に無関係に設定したので、MOSトランジスタの特性を維持しながら、サステイン破壊に至る耐圧が高い高耐圧MOSトランジスタを提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態における高耐圧MOSトランジスタの断面図である。

【図2】同平面図である。

【図3】本実施の形態における高耐圧MOSトランジスタの製造工程を示す断面図である。

【図4】本発明の第2の実施の形態における高耐圧MOSトランジスタの断面図である。

【図5】同平面図である。

【図6】同実施の形態における高耐圧MOSトランジスタの製造工程を示す断面図である。

【図7】本発明の第3の実施の形態における高耐圧MOSトランジスタの断面図である。

【図8】同平面図である。

【図9】同実施の形態における高耐圧MOSトランジスタの製造工程を示す断面図である。

【図10】本発明の実施の形態における高耐圧MOSトランジスタの動作説明図である。

【図11】従来の高耐圧MOSトランジスタの断面図である。

【図12】同平面図である。

【図13】従来の高耐圧MOSトランジスタの製造工程を示す断面図である。

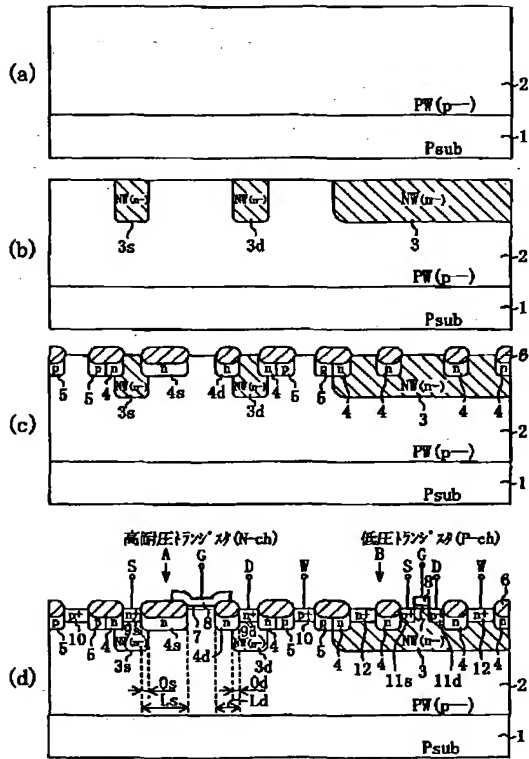
【図14】従来の高耐圧MOSトランジスタの動作説明図である。

【符号の説明】

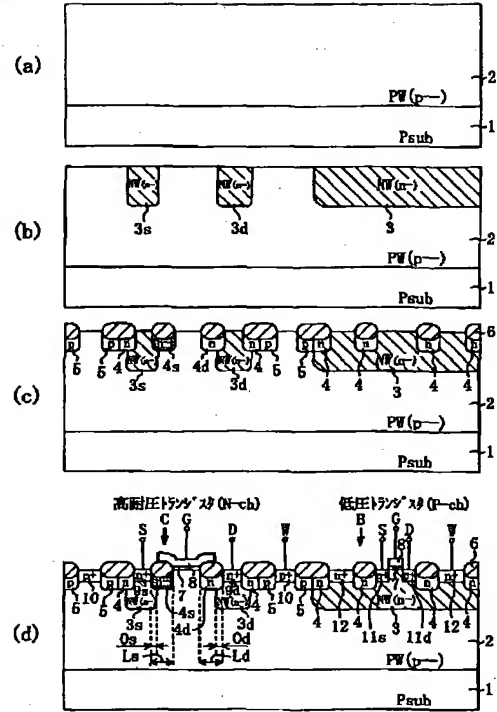
1	P型基板
2	P型ウェル
3	N型ウェル
3d	ドレイン側ウェルオフセット
3s	ソース側ウェルオフセット
4	N型分離拡散層
4d	ドレイン側オフセット
4s	ソース側オフセット
5	P型分離拡散層
6	LOCOS
7	ゲート酸化膜
8	ゲート電極
9d	ドレイン拡散層
9s	ソース拡散層
10	チャンネルストッパー
11d	ドレイン拡散層
11s	ソース拡散層

22
 * RS ソース側オフセットの抵抗
 * RW P型ウェルの抵抗

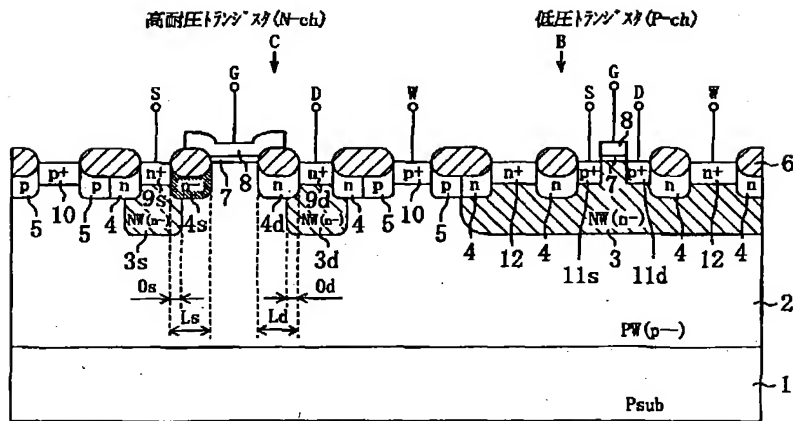
【図3】



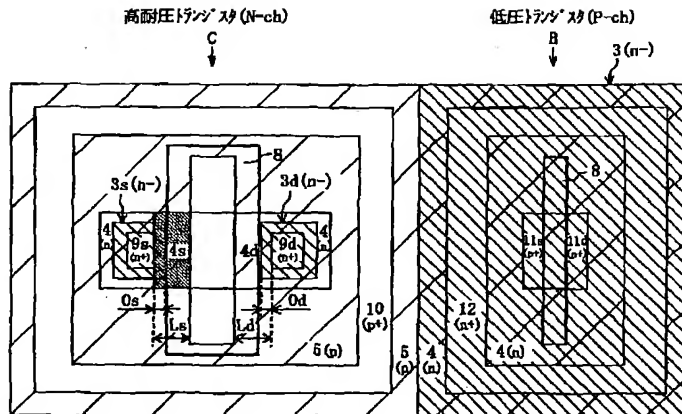
【図6】



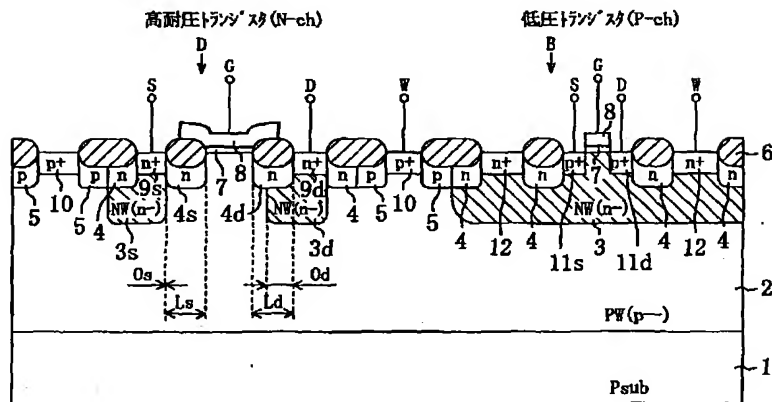
【図4】



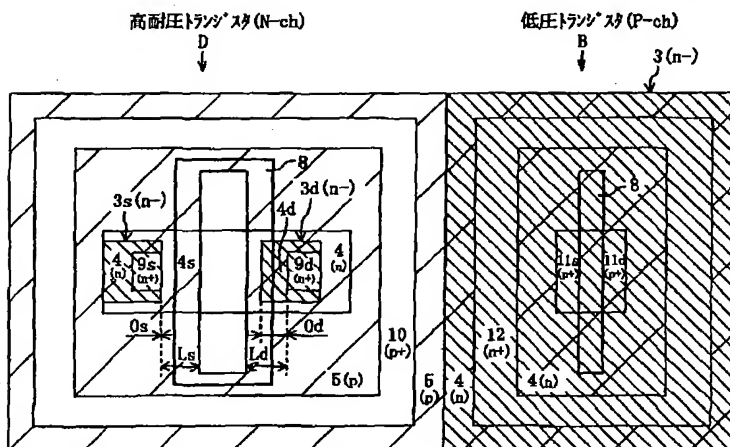
高耐圧トランジスタ (N-ch)



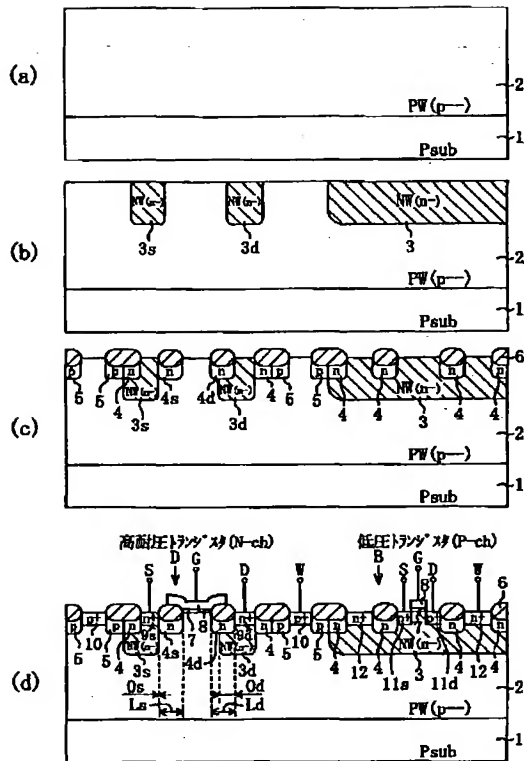
高耐圧トランジスタ (N-ch)



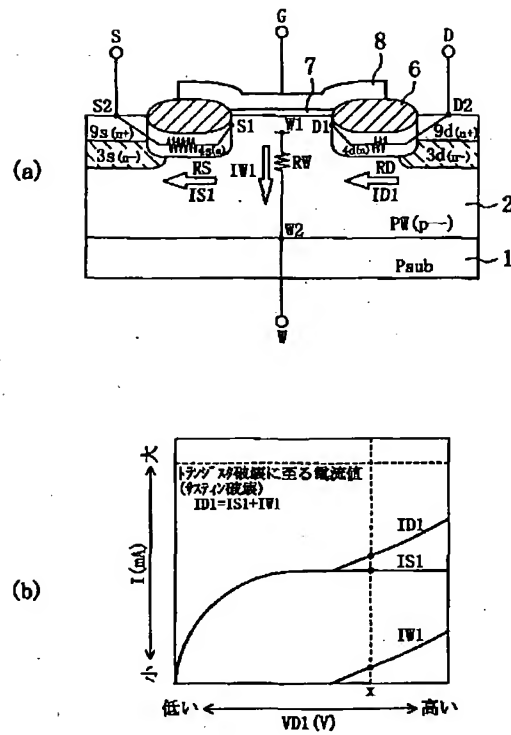
高耐圧トランジスタ (N-ch)



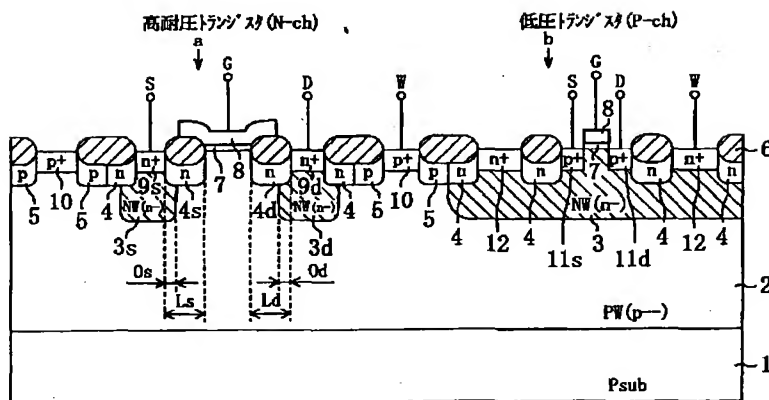
【図9】



【図10】



【図11】



フロントページの続き

Fターム(参考) 5F040 DA00 DA20 DB03 DC01 EB02
EF02 EF04 EF18 EK01 EK02
EM03
5F048 AA05 AB10 AC03 BA06 BC01
BC03 BC06 BC18 BC20 BG12

